

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-28787

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.<sup>5</sup>

G11C 16/06

29/00

識別記号

301 B 9288-5L

9191-5L

庁内整理番号

F I

G11C 17/00

技術表示箇所

309 F

審査請求 未請求 請求項の数11(全 8 頁)

(21)出願番号

特願平3-186443

(22)出願日

平成3年(1991)7月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渥美 滋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 番場 博則

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

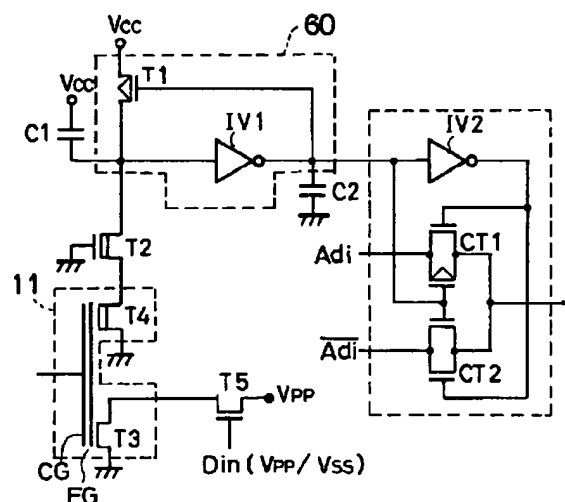
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体記憶装置の冗長回路

(57)【要約】

【目的】不揮発性セルを書込み状態とするための初期状態での書込み量をスタンドバイ電流の防止およびデータ・リテンションによる信頼性の低下の防止を両立させるように定める上での制約を著しく緩和する。

【構成】不揮発性半導体記憶装置の冗長回路において、不良番地データに応じて導通または非導通状態に設定されるフューズ素子として積層ゲート構造を有するトランジスタからなる不揮発性メモリセル11が用いられ、この不揮発性メモリセルは浮遊ゲートFGを共有する書込み用トランジスタT3と読み出し用トランジスタT4とに分けられており、上記読み出し用トランジスタの閾値が上記書込み用トランジスタの閾値よりも低く設定されており、通常動作時には、上記読み出し用トランジスタの制御ゲートに電源電圧に依存しない定電圧が印加されることを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 デコードすべきアドレス信号に対応して不良番地記憶回路が設けられている不揮発性半導体記憶装置の冗長回路において、

上記不良番地記憶回路は、不良番地データに応じて導通または非導通状態に設定されるフューズ素子として積層ゲート構造を有するトランジスタからなる不揮発性メモリセルが用いられ、この不揮発性メモリセルは浮遊ゲートを共有する書き込み用トランジスタと読み出し用トランジスタとに分けられており、上記読み出し用トランジスタの閾値が上記書き込み用トランジスタの閾値よりも低く設定されており、通常動作時には、上記読み出し用トランジスタの制御ゲートに電源電圧に依存しない定電圧が印加されることを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項2】 請求項1記載の不揮発性半導体記憶装置の冗長回路において、前記書き込み用トランジスタはエンハンスメント型であり、前記読み出し用トランジスタはデプレッション型であることを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項3】 請求項1または2記載の不揮発性半導体記憶装置の冗長回路において、前記不揮発性メモリセルは、紫外線消去・再書き込み可能な読み出し専用メモリセルであり、その書き込み前の初期状態ではその読み出し用トランジスタがイオン注入によりデプレッション化されていることを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項4】 請求項1または2記載の不揮発性半導体記憶装置の冗長回路において、前記不揮発性メモリセルは、電気的線消去・再書き込み可能な読み出し専用メモリセルであり、初期化のための消去によりその読み出し用トランジスタがデプレッション化されることを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項5】 請求項1乃至4のいずれか1項に記載の不揮発性半導体記憶装置の冗長回路において、通常動作時に前記読み出し用トランジスタの制御ゲートに印加される定電圧は接地電位であることを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項6】 請求項1乃至5のいずれか1項に記載の不揮発性半導体記憶装置の冗長回路において、前記不揮発性メモリセルは、書き込み用トランジスタと読み出し用トランジスタとが制御ゲートも共有することを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項7】 請求項1乃至5のいずれか1項に記載の不揮発性半導体記憶装置の冗長回路において、前記不揮発性メモリセルは、書き込み用トランジスタと読み出し用トランジスタとが制御ゲートを別々に有し、上記読み出し用トランジスタの制御ゲートは接地電位ノードに接続されていることを特徴とする不揮発性半導体記憶装置の冗長回路。

2

【請求項8】 請求項1乃至7のいずれか1項に記載の不揮発性半導体記憶装置の冗長回路において、前記不良番地記憶回路は、

CMOSインバータ回路と、

このCMOSインバータ回路の出力がゲートに入力し、ソースが電源ノードに接続され、ドレインが上記CMOSインバータ回路の入力ノードに接続されたフィードバック用のPチャネルトランジスタと、

上記CMOSインバータ回路の入力ノードにドレインが接続され、ゲートが接地電位に接続されたストレス緩和用のNチャネルトランジスタと、

このストレス緩和用トランジスタのソースと接地ノードとの間に接続された前記不揮発性メモリセルの読み出し用トランジスタと、

前記不揮発性メモリセルのドレインと書き込み電圧ノードとの間に接続された書き込み制御用トランジスタとを具備することを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項9】 請求項1乃至7のいずれか1項に記載の不揮発性半導体記憶装置の冗長回路において、前記不良番地記憶回路は、2個の不揮発性メモリセルと、この2個の不揮発性メモリセルに相補的な書き込みを行うための回路と、上記2個の不揮発性メモリセルの各読み出し用トランジスタのオン/オフ状態を比較し、その比較結果に応じてフューズ素子のオン/オフ状態を判定する判定回路とを具備することを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項10】 請求項9記載の不揮発性半導体記憶装置の冗長回路において、前記判定回路は、互いのゲート・ドレイン相互が接続されたPチャネルトランジスタを前記2個の不揮発性メモリセルの読み出し用トランジスタの負荷として接続してなるフリップフロップ回路であることを特徴とする不揮発性半導体記憶装置の冗長回路。

【請求項11】 請求項1乃至10のいずれか1項に記載の不揮発性半導体記憶装置の冗長回路において、さらに、前記不揮発性メモリセルと同様の不揮発性メモリセルがリダンダンシー・シグネチャー回路のフューズ素子として用いられていることを特徴とする不揮発性半導体記憶装置の冗長回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性半導体記憶装置に係り、特に積層ゲート構造を有するトランジスタをメモリセルとして使用する不揮発性半導体記憶装置の冗長回路において不良番地を記憶する回路に関する。

【0002】

【従来の技術】最近、大容量化している半導体記憶装置においては、製造歩留りを向上させるために冗長回路を設けることが必須の技術になってきている。この冗長回

路は、メモリセルアレイの不良ビットを救済するための予備メモリセルと、フューズ素子群を備えた予備プログラマブルアドレスデコードからなる予備デコードとを有し、この予備デコードの出力を用いて前記予備メモリセルを選択する。上記予備プログラマブルアドレスデコードには、不良番地を記憶しておくための不良番地記憶回路がデコードすべきアドレス信号に対応して複数個設けられている。この不良番地記憶回路は、記憶装置の動作電源がオフにされた場合でも、あるいは、記憶装置に

【0003】図6は、従来の不良番地記憶回路を示しており、この回路は、不良番地データの各アドレス毎に設けられている。即ち、デコードすべきアドレス信号に対応して複数個の不良番地記憶回路が設けられている。

【0004】この回路は、不良番地データのうちの対応する1ビットのデータに応じて選択的に切断されるフューズ素子61と、このフューズ素子61が切断しているか否かのデータ（フューズ・データ）を電源投入時にラッチするラッチ回路60と、このラッチ回路60のラッチデータに応じて1ビットのアドレス信号Adiまたはその反転信号/ $\overline{\text{Adi}}$ を選択して出力するセレクト回路62とを具備している。上記ラッチ回路60は、CMOSインバータ回路IV1およびフィードバック用のPチャネルトランジスタT1を有する。C1およびC2は容量である。上記セレクト回路62は、インバータ回路IV2および2個のCMOSTランスファゲートCT1、CT2からなる。

【0005】この不良番地記憶回路は、フューズ素子61が切断されている場合には、電源投入時にラッチ回路60が“H”レベルをラッチし、ラッチ回路60の出力が“L”レベルになり、CMOSTランスファゲートCT1がオンになってアドレス信号Adiを選択して出力する。フューズ素子61が切断されていない場合には、電源投入時にラッチ回路60が“L”レベルをラッチし、ラッチ回路60の出力が“H”レベルになり、CMOSTランスファゲートCT2がオンになって反転アドレス信号/ $\overline{\text{Adi}}$ を選択して出力する。

【0006】従って、不良番地データの各アドレス毎に設けられている各不良番地記憶回路の各フューズ素子61を不良番地データに応じて選択的に切断しておけば、不良番地データの入力時に、各不良番地記憶回路からそれぞれ例えば“H”レベルが出力するようになり、この出力に基づいて前記予備行線あるいは予備列線を選択するように制御することが可能になる。

【0007】前記フューズ素子61は、通常は、レーザービームの照射による切断が可能なポリシリコンあるいはアルミニウムなどからなるレーザー・フューズが用いられている。

【0008】一方、EPROM（紫外線消去・再書込み

可能な読み出し専用メモリ）などの不揮発性半導体メモリにおいては、図7の回路に示すように、前記レーザー・フューズの代わりに不揮発性メモリセル・フューズ71を用いることができる。この不揮発性メモリセル・フューズは、積層ゲート構造を有するトランジスタが用いられており、以下、このトランジスタをEPROMセルと呼ぶ。なお、図7において、図6中と同一部分には同一符号を付している。

【0009】上記EPROMセル71に対するデータの書込み（プログラム）時には、ソースと基板とに0Vを与え、ドレインと制御ゲートとに高電圧を与える。すると、ドレイン・ソース間にオン電流が流れ、ドレイン近傍でホット・エレクトロンおよびホット・ホールの対が発生する。そして、ホールは基板電流として基板に流れるが、ホット・エレクトロンが浮遊ゲートに注入されることにより、制御ゲートからみた閾値が上昇し、書込みが完了する。この書込み完了後のEPROMセル71の閾値が読み出し時の電源電圧Vccよりも十分高ければ、通常の動作時に上記EPROMセル71の制御ゲートに電源電圧Vccを与えると、その書込み状態／非書込み状態に対応してオフ状態／オン状態になり、上記EPROMセル71のオフ／オン状態を前記レーザー・フューズの切断状態／非切断状態と同様に機能させることができる。

【0010】従って、図7の回路は、前述した図6の回路と同様の動作が可能になる。この場合、EPROMセル71を用いているので、ウェハ状態でのダイソート・テスト時にリダンダンシーのための書込みまで実行することが可能になり、レーザー・フューズを用いる場合よりもダイソート・テストの回数（パッドに対する接触回数）を低減できるほか、メモリ・チップをパッケージングした後も、リダンダンシーを行うことができるという利点がある。

【0011】ところで、図7の回路は、EPROMセル71をオフ状態にするためには、その書込み量を十分に大きく（閾値のシフト量を十分に大きく）しなければならず、EPROMセル71をオン状態で使うためにはセル電流を十分に大きくする必要がある。

【0012】しかし、(a)EPROMセルを書込み状態とするための書込み量を十分に確保できないと、次に述べるような問題がある。即ち、EPROMの電源電圧Vccは、通常、5V±10%であるが、例えば書込みベリファイ時の仕様のように6.25±0.25Vが仕様である場合には、ベリファイのための読み出し時にEPROMセルの制御ゲートに最大6.5Vの電圧Vccが加わる。また、電源電圧Vccにノイズが乗った時には、動作時にEPROMセル71の制御ゲートに瞬間的に8V程度の電圧Vccが加わる場合も考えられる。このような場合、EPROMセルが書込み状態であってもその書込み量が十分でないと、スタンバイ電流が流れるように

5

なり、CMOS集積回路で一般的に要求されるスタンバイ電流を零にすることと相反し、最悪の場合、図7中のラッチ回路におけるラッチデータが反転してしまい、メモリの誤動作が発生する。

【0013】また、(b) EPROMセルにはデータ・リテンション (data retention) により信頼性が低下するという問題がある。データ・リテンションとは、EPROMセル71を長期間使用している間に書き込み状態のセル閾値が低下するものであり、初期状態での書き込み量が多いほどセル閾値の低下量が大きくなる。

【0014】上記(a)の問題を避けるために要求される条件は、EPROMセルの書き込み状態の閾値 $V_{TH}$ が6.5Vよりも十分に大きくなるように初期状態での書き込み量を定めることであるが、上記(b)のデータ・リテンションの問題まで含めて満足するようにEPROMセルの書き込み量を定めることは非常に困難である。

【0015】

【発明が解決しようとする課題】上記したように従来の不揮発性半導体記憶装置の冗長回路は、不良番地記憶回路におけるフューズ素子としてEPROMセルを用いる場合に、EPROMセルを書き込み状態とするための初期状態での書き込み量をスタンバイ電流の防止およびデータ・リテンションによる信頼性の低下の防止を両立させるように定めることが非常に困難であるという問題があった。

【0016】本発明は上記の問題点を解決すべくなされたもので、不揮発性セルを書き込み状態とするための初期状態での書き込み量をスタンバイ電流の防止およびデータ・リテンションによる信頼性の低下の防止を両立させるように定める上での制約を緩和し得る不揮発性半導体記憶装置の冗長回路を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は、デコードすべきアドレス信号に対応して不良番地記憶回路が設けられている不揮発性半導体記憶装置の冗長回路において、上記不良番地記憶回路は、不良番地データに応じて導通または非導通状態に設定されるフューズ素子として積層ゲート構造を有するトランジスタからなる不揮発性メモリセルが用いられ、この不揮発性メモリセルは浮遊ゲートを共有する書き込み用トランジスタと読み出し用トランジスタとに分けられており、上記読み出し用トランジスタの閾値が上記書き込み用トランジスタの閾値よりも低く設定されており、通常動作時には、上記読み出し用トランジスタの制御ゲートに電源電圧に依存しない定電圧が印加されることを特徴とする。

【0018】

【作用】通常動作時には、フューズ素子用の不揮発性メモリセルの制御ゲートに電源電圧に依存しない定電圧が印加されるので、電源電圧依存性、電源ノイズによるスタンバイ電流の問題が生じなくなる。従って、過度の

6

書き込み量が不要になり、書き込みが楽になる。また、不揮発性セルを書き込み状態とするための初期状態での書き込み量が少なく済むので、データ・リテンションに対するマージンが広がり、信頼性が向上する。

【0019】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0020】図1は、本発明の第1実施例として、EPROMの冗長回路における不良番地記憶回路の一例を示している。この回路は、デコードすべきアドレス信号に対応して複数個設けられている。

【0021】この回路は、図6を参照して前述した従来の不良番地記憶回路と比べて、フューズ素子用のEPROMセル11が異なり、ストレス緩和用のデプレッション型のNチャネルトランジスタT2および書き込み制御用のエンハンスメント型のNチャネルトランジスタT5が付加されており、その他は同じであるので図6中と同一符号を付している。

【0022】即ち、ラッチ回路60は、CMOSインバータ回路IV1と、このCMOSインバータ回路IV1の出力がゲートに入力し、ソースが電源ノードに接続され、ドレインが上記CMOSインバータ回路IV1の入力ノードN1に接続されたフィードバック用のPチャネルMOSトランジスタT1とからなる。C1、C2は容量である。セレクト回路62は、上記ラッチ回路60のラッチデータに応じて1ビットのアドレス信号Adiまたはその反転信号 $\overline{\text{Adi}}$ を選択して出力するものであり、インバータ回路IV2および2個のCMOSトランスタフェゲートCT1、CT2からなる。ストレス緩和用トランジスタT2は、CMOSインバータ回路IV1の入力ノードN1にドレインが接続され、ゲートが接地電位Vssに接続されている。

【0023】一方、EPROMセル11は、書き込み用トランジスタT3と読み出し用トランジスタT4とに分けられている。この場合、読み出し用トランジスタT4はデプレッション型となるようにチャネル・インプランテーション(イオン注入)が行われており、書き込み用トランジスタT3はエンハンスメント型となるようにチャネル・インプランテーションが行われている。本例では、上記書き込み用トランジスタT3および読み出し用トランジスタT4は、それぞれ浮遊ゲートFGおよび制御ゲートCGを共有している。上記制御ゲートCGには、リダクションシーのための書き込み時には高電圧Vpp、通常動作時には接地電位Vssが与えられる。

【0024】そして、上記EPROMセル11の読み出し用トランジスタT4は、前記ストレス緩和用トランジスタT2のソースと接地電位Vssとの間に接続されている。また、上記EPROMセル11の書き込み用トランジスタT3は、ソースが接地電位Vssに接続されており、そのドレインと書き込み電圧Vppノードとの間に書き込み制

7

御用のエンハンスメント型のNチャネルトランジスタT5が接続されている。この書き込み制御用トランジスタゲートT5のゲートには、リダングンシーのための書き込み時に高電圧 $V_{pp}$ 、その他の時は接地電位 $V_{ss}$ になる書き込みデータ $D_{in}$ が与えられる。

【0025】なお、EPROMセルを書き込み用トランジスタと読み出し用トランジスタとに分ける技術は、ISSC 85 DIGEST OF TECHNICAL PAPERS p.162-163, S. Pathak 他, "A 25ns 16K CMOS PROM using a 4-Transistor Cell" に開示されている。

【0026】図1の回路の動作は、前述した従来の図6の回路の動作と比べて、基本的には同様であるが、EPROMセル11の動作が異なると共にストレス緩和用トランジスタT2による動作が加わっており、この点を以下に説明する。

【0027】通常、EPROMセルは、書き込み効率が著しく低下するのでデプレッション型となるようにイオン注入されることはないが、上記EPROMセル11は、書き込み用トランジスタT3をエンハンスメント型として形成し、デプレッション型の読み出し用トランジスタT4から分離しているため書き込みが可能である。即ち、リダングンシーのための書き込み時に、EPROMセル11の制御ゲートCGに高電圧 $V_{pp}$ を印加すると共に、書き込み制御用トランジスタT5をオンにして書き込み用トランジスタT3のドレインに高電圧 $V_{pp}$ を印加することにより、書き込みが可能である。

【0028】また、リダングンシーのための書き込み時以外の通常動作時には、EPROMセル11の制御ゲートCGに接地電位 $V_{ss}$ が与えられる。従って、EPROMセル11が書き込み状態の場合には、読み出し用トランジスタT4の閾値が正になっていれば読み出し用トランジスタT4がオフ状態になる。即ち、読み出し用トランジスタT4の書き込み前の閾値を例えば-1.5V程度にしておけば、EPROMセル11の書き込みによる閾値のシフト量 $\Delta V_{TH}$ は1.5V以上であればよい。このことは、初期状態での書き込み量が少なく済み、データ・リテンションについても有利になり、セルの信頼性が向上することになる。これに対して、EPROMセル11が非書き込み状態の場合には、読み出し用トランジスタT4の閾値が負になっているので、制御ゲートCGの電位が接地電位 $V_{ss}$ であれば読み出し用トランジスタT4がオン状態になる。このようにEPROMセル11が非書き込み状態の場合に読み出し用トランジスタT4がオン状態になるようにするためにEPROMセル11の制御ゲートCGに通常動作時の与える電圧は、接地電位 $V_{ss}$ に限らず、電源電圧 $V_{cc}$ に依存しない定電圧（例えば電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ との中間の電圧）でもよいが、スタンバイ電流を完全に零に抑えるためには接地電位 $V_{ss}$ であることが望ましい。

【0029】なお、もしも、読み出し用トランジスタT

8

4のドレイン電位が上り過ぎると、その浮遊ゲート・ドレイン間の電界が強くなり、浮遊ゲートに蓄積された電子が読み出し用トランジスタT4のゲート酸化膜を介して抜けてしまうおそれがある。しかし、前記ストレス緩和用トランジスタT2は、読み出し用トランジスタT4のドレイン電位をクランプするように動作するので、上記したように読み出し用トランジスタT4のドレイン電位が上り過ぎてストレスが強くなることを防止している。

10 【0030】図2は、図1中のEPROMセル11の平面パターンの一例を示す図である。21および22は半導体基板表層部に形成された不純物拡散領域からなる書き込み用トランジスタT3のドレイン領域および読み出し用トランジスタT4のドレイン領域、23は半導体基板表層部に形成された不純物拡散領域からなる書き込み用トランジスタT3および読み出し用トランジスタT4のソース領域である。24は基板上にゲート絶縁膜（図示せず）を介して設けられた浮遊ゲート、25は浮遊ゲート24上に層間ゲート絶縁膜（図示せず）を介して設けられた制御ゲート、26は書き込み用トランジスタT3のドレイン・コンタクト領域、27は読み出し用トランジスタT4のドレイン・コンタクト領域であり、前記ソース領域23は接地電位 $V_{ss}$ に接続されている。28は半導体基板表層部における読み出し用トランジスタT4のデプレッション化のためのイオン注入領域である。なお、書き込み効率が上がるように、書き込み用トランジスタT3のゲート長 $L$ を短くし、誤書き込みを防止するために、読み出し用トランジスタT4のゲート長 $L$ を長めに設定しておくことが望ましい。

30 【0031】即ち、上記したようなEPROMセル11を用いた図1の回路によれば、通常動作時には、EPROMセル11の制御ゲートCGに電源電圧 $V_{cc}$ に依存しない定電圧が印加されるので、電源電圧依存性、電源ノイズによるスタンバイ電流の問題が生じなくなる。従って、EPROMセル11を書き込み状態とする際に過度の書き込み量が不要になり、書き込みが楽になる。また、EPROMセル11を書き込み状態とするための初期状態での書き込み量が少なく済むので、つまり、過剰な書き込みを必要としないので、データ・リテンションに対するマージンが広がり、信頼性が向上するようになる。また、上記定電圧の値の選択によってスタンバイ電流を抑制でき、上記定電圧として接地電位 $V_{ss}$ を用いれば、スタンバイ電流を完全に防止できる。換言すれば、EPROMセル11を書き込み状態とするための初期状態での書き込み量をスタンバイ電流の防止およびデータ・リテンションによる信頼性の低下の防止を両立させるように定める上での制約が著しく緩和される。図3は、上記したEPROMセルの変形例に係るEPROMセル31を示す等価回路図である。

50 【0032】このEPROMセル31は、図1中のEP

ROMセル11と比べて、書き込み用トランジスタT3および読み出し用トランジスタT4は、浮遊ゲートFGを共有しているが、制御ゲートCG3、CG4を別々に有している。上記書き込み用トランジスタT3の制御ゲートCG3は、リダングンシーのための書き込み時には高電圧V<sub>pp</sub>、その他の通常動作時には接地電位V<sub>ss</sub>が与えられ、読み出し用トランジスタT4の制御ゲートCG4は接地電位V<sub>ss</sub>ノードに接続されている点異なる。このEPROMセル31の動作は、図1中のEPROMセル11の動作と基本的に同様である。

【0033】なお、図1の不良番地記憶回路はラッチ回路60を用いており、このラッチ回路60は、一度誤ったデータをラッチしてしまうと元に戻れないおそれがあるが、その点に関するマージンを拡大するために、例えば図4に示すような不良番地記憶回路を用いてもよい。図4は、本発明の第2実施例に係る不良番地記憶回路を示す回路図である。

【0034】この回路においては、図1中と同様に接続されたストレス緩和用トランジスタ、EPROMセルおよび書き込み制御用トランジスタがそれぞれ2個ずつ設けられている。この場合、2個のEPROMセル11aおよび11bは、対称性を確保するために同じサイズ、パターンで形成されていることが望ましい。また、2個のストレス緩和用トランジスタT2aおよびT2bの各ドレインとV<sub>cc</sub>電源ノードとの間に対応して負荷用のPチャネルトランジスタT6aおよびT6bが接続されており、この2個の負荷用トランジスタT6aおよびT6bは、互いのゲート・ドレイン相互が接続されている。ここで、上記した2個の負荷用トランジスタT6aおよびT6b、2個のストレス緩和用トランジスタT2aおよびT2b、2個のEPROMセル11aおよび11bの読み出し用トランジスタT4aおよびT4bはフリップフロップ回路FFを形成している。そして、上記2個の負荷用トランジスタT6aおよびT6bの各ドレインは対応してCMOSインバータ41および42の各入力ノードに接続されている。この2個のCMOSインバータ41および42の各出力ノードは、2個のCMOSTランスファゲートCT1およびCT2を相補的にスイッチ制御するようにそれぞれの制御入力ノードに接続されている。なお、2個の書き込み制御用トランジスタT5aおよびT5bの各ゲートには、相補的な書き込みデータD<sub>in</sub>、/D<sub>in</sub>が与えられる。

【0035】この回路において、いま、リダングンシーのための書き込み時に、2個のEPROMセル11aおよび11bの各制御ゲートに高電圧V<sub>pp</sub>を印加すると共に、2個の書き込み制御用トランジスタT5aおよびT5bの一方をオンにして一方のEPROMセルの書き込み用トランジスタのドレインに高電圧V<sub>pp</sub>を印加する。これにより、2個の書き込み用トランジスタT3aおよびT3bの一方に書き込みを行い、他方を非書き込み状態のままにすることが可能になる。

【0036】このような状態においては、通常動作時に、2個のEPROMセル11aおよび11bの各制御ゲートに接地電位V<sub>ss</sub>が与えられると、2個の読み出し用トランジスタT4aおよびT4bの一方はオフ状態、他方はオン状態になる。ここで、前記2個のストレス緩和用トランジスタT2aおよびT2bを同じサイズ、2個の負荷用トランジスタT6aおよびT6bを同じサイズに設定しておけば、前記フリップフロップ回路FFは2個のEPROMセル11aおよび11bの各読み出し用トランジスタT4aおよびT4bの相補的な状態に対応した安定状態となって落ち着く。そして、2個のCMOSインバータ41および42の相補的な出力により、2個のCMOSTランスファゲートCT1およびCT2が相補的にスイッチ制御され、アドレス信号Ad<sub>i</sub>または反転アドレス信号/<sub>i</sub>Ad<sub>i</sub>が選択的に出力される。

【0037】この回路は、2つのEPROMセル11aおよび11bに相補的に書き込みを行って不良番地情報を記憶するので、一度誤ったデータを記憶した状態になっても、正しい状態に回復する能力を有している。また、パターン的に左右の対称性がよいので、電源投入時のノイズマージンが優れている。

【0038】図5は、本発明の第2実施例として、EPROMにおけるリダングンシー・シグネチャー回路の一例を示しており、前記したようなEPROMセルを従来のレーザー・フューズに代えて使用したものである。リダングンシー・シグネチャー回路とは、リダングンシーを行ったチップであるか否かをユーザーに知られるためにチップ上に設けられるものである。

【0039】この回路において、51はリダングンシー・シグネチャー用の外部端子（例えばアドレスA0ピン）であり、V<sub>cc</sub>電源ノードと上記シグネチャー用端子51との間に、ドレイン・ゲート相互が接続されたNチャネルトランジスタ52、ゲート・ソース相互が接続されたNチャネルトランジスタ53および抵抗54が直列に接続されている。11は例えば図1中に示したようなEPROMセルであり、その読み出し用トランジスタT4のドレインは、ストレス緩和用トランジスタT2を介して前記V<sub>cc</sub>電源ノードに接続され、上記読み出し用トランジスタT4のソースは、ゲート・ソース相互が接続されたNチャネルトランジスタ55を介して前記Nチャネルトランジスタ52および53の接続ノードに接続されている。上記EPROMセル11の書き込み用トランジスタT3のソースは接地電位V<sub>ss</sub>に接続され、上記書き込み用トランジスタT3のドレインは書き込み制御用トランジスタT5を介して書き込み電圧V<sub>pp</sub>ノードに接続されている。

【0040】図5の回路を有するチップがリダングンシーを実行した場合には、上記EPROMセル11に書き込みが行われるので、通常動作時に上記EPROMセル11の制御ゲートに接地電位V<sub>ss</sub>が与えられると、上記E

## 11

PROMセル11の読み出し用トランジスタT4はオフ状態になる。これに対して、リダングンシーを実行しなかった場合には、上記EPROMセル11に書き込みが行われないので、通常動作時に上記EPROMセル11の制御ゲートに接地電位が与えられると、上記EPROMセル11の読み出し用トランジスタT4はオン状態になる。従って、リダングンシーを行ったチップであるか否かに応じてシグネチャー用端子51のレベルが異なることになる。

【0041】なお、上記各実施例ではEPROMについて説明したが、本発明は一括消去可能なEEPROM（電気的消去・再書き込み可能な読み出し専用メモリ）にも適用することができる。この場合には、図1、図3、図4の回路において、EPROMセルに代えて、EEPROMセルを読み出し用トランジスタと書き込み用トランジスタとに分けて用いる。上記EEPROMセルの代表的な例としては、前記EPROMセルと殆んど同一の構造を有し、消去をソース側からのトンネル電流によって行うトンネル・オキシド型EPROMセルであるETOX（米国インテル社商標）型セルがある。このようなETOX型セルを用いる場合には、図1、図3、図4の回路に対して、リダングンシーのための電気的消去時に、書き込み用トランジスタのソースに高電圧Vppを印加し、書き込み制御用トランジスタをオフにして書き込み用トランジスタのドレインを浮遊状態にするように回路を変更すればよい。

【0042】また、このようなETOX型セルを用いる場合には、ETOX型セルの読み出し用トランジスタの閾値の初期値が0Vのものを形成しておき、電気的消去を行うことにより読み出し用トランジスタをデプレッション化することができる。

## 【0043】

【発明の効果】上述したように本発明の不揮発性半導体記憶装置の冗長回路によれば、不揮発性セルを書込み状態とするための初期状態での書き込み量をスタンドバイ電

## 12

流の防止およびデータ・リテンションによる信頼性の低下の防止を両立させるように定める上での制約を著しく緩和することができる。

## 【図面の簡単な説明】

【図1】本発明の第1実施例に係るEPROMの冗長回路における不良番地記憶回路の一例を示す回路図。

【図2】図1中のEPROMセルの平面パターンの一例を示す図。

【図3】図1中のEPROMセルの変形例を示す等価回路図。

【図4】図1の不良番地記憶回路の他の実施例を示す回路図。

【図5】本発明の第2実施例に係るEPROMにおけるリダングンシー・シグネチャー回路の一例を示す図。

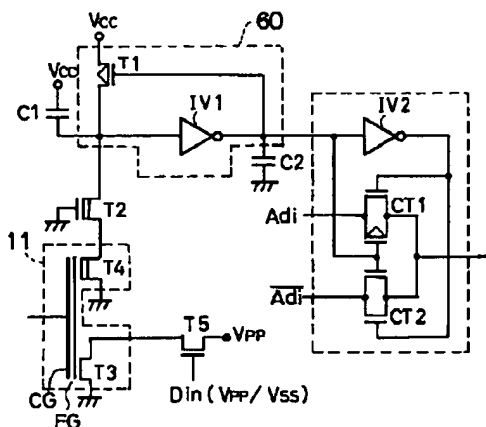
【図6】従来の半導体メモリの冗長回路における不良番地記憶回路を示す回路図。

【図7】従来の不揮発性半導体メモリの冗長回路における不良番地記憶回路を示す回路図。

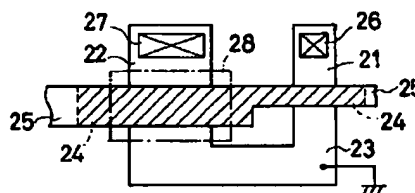
## 【符号の説明】

11、31…EPROMセル、21…書き込み用トランジスタT3のドレイン領域、22…読み出し用トランジスタT4のドレイン領域、23…書き込み用トランジスタT3および読み出し用トランジスタT4のソース領域、24、FG…浮遊ゲート、25、CG、CG3、CG4…制御ゲート、51…リダングンシー・シグネチャー用外部端子、52、53、55…Nチャネルトランジスタ、54…抵抗、60…ラッチ回路、62…セレクト回路、IV1、41、42…CMOSインバータ回路、CT1、CT2…CMOSトランスファゲート、T1…フィードバック用トランジスタ、T2、T2a、T2b…ストレス緩和用トランジスタ、T3、T3a、T3b…書き込み用トランジスタ、T4、T4a、T4b…読み出し用トランジスタ、T5、T5a、T5b…書き込み制御用トランジスタ、T6a、T6b…負荷用トランジスタ。

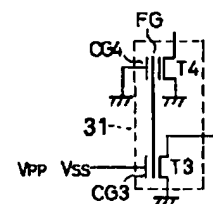
【図1】



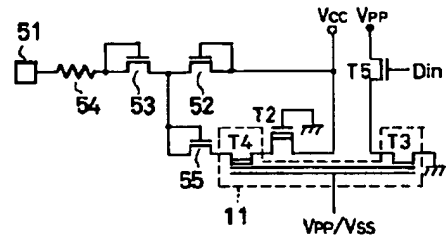
【図2】



【図3】



【図5】



【図7】

